

EUROPEAN PATENT OFFICE

Patent Abstracts of Japan

PUBLICATION NUMBER : 59186411
PUBLICATION DATE : 23-10-84

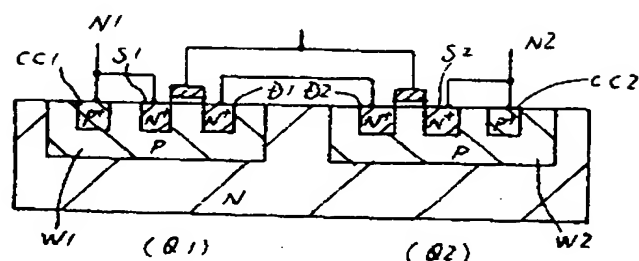
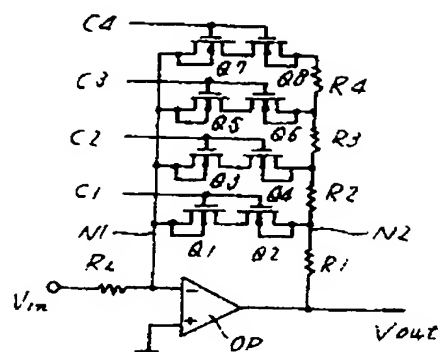
APPLICATION DATE : 08-04-83
APPLICATION NUMBER : 58060759

APPLICANT : HITACHI LTD;

INVENTOR : MORIUCHI HISAHIRO;

INT.CL. : H03G 3/00 H01L 27/06

TITLE : VARIABLE GAIN AMPLIFYING CIRCUIT



ABSTRACT : PURPOSE: To expand an operating voltage margin and to reduce a chip in size by using two transmission gate MOSFETs which are formed in a well area in series and have sources connected to the well area in common as a switch means which connects a feedback resistance selectively.

CONSTITUTION: When only transmission gate MOSFETs Q1 and Q2 are turned on, the feedback resistance R1 is connected as shown in a figure, so its gain G is R_i/R_1 . When MOSFETs Q3 and Q4 or Q7 and Q8 are turned on, the gain is represented as a similar expression including resistances $R_2 \sim R_4$. Sources and the well area are made common in the switching operation of said MOSFETs as shown in a sectional figure, so threshold voltages of the MOSFETs Q1 and Q2 are not influenced by the substrate effect. Further, the potential of the well area is determined in the off-state immediately according to the source side, so no undesirable charge is accumulated in the parasitic capacity of the well area and a latch-up state due to a thyristor phenomenon does not occur.

COPYRIGHT: (C)1984,JPO&Japio

⑨ 日本国特許庁 (JP)
⑫ 公開特許公報 (A)

⑪ 特許出願公開
昭59—186411

⑤ Int. Cl.³
H 03 G 3/00
H 01 L 27/06

識別記号 庁内整理番号
7328—5 J
6655—5 F

⑬ 公開 昭和59年(1984)10月23日

発明の数 1
審査請求 未請求

(全 4 頁)

⑭ 可変利得増幅回路

⑯ 特 願 昭58—60759
⑰ 出 願 昭58(1983)4月8日
⑱ 発 明 者 森内久裕
小平市上水本町1450番地株式会

社日立製作所武蔵工場内
⑲ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号
⑳ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 可変利得増幅回路

特許請求の範囲

1. 演算増幅器の利得設定のための帰還抵抗を選択的に接続するスイッチ手段として、それぞれウェル領域に形成され、直列形態とされとともにそのソースとウェル領域とを共通接続し、ゲートに共通に制御信号を印加した2つの伝送ゲートMOSFETを用いることを特徴とする可変利得増幅回路。

2. 上記演算増幅器は、CMOS回路で構成され、上記伝送ゲートMOSFETは、P型ウェル領域に形成されたnチャンネルMOSFETであることを特徴とする特許請求の範囲第1項記載の可変利得増幅回路。

発明の詳細な説明

(技術分野)

この発明は、MOSFET(絶縁ゲート形電界効果トランジスタ)を含む可変利得増幅回路に関するもので、例えば、CMOS(相補型金属絶縁

物半導体)集積回路で構成されたものに有効な技術に関するものである。

(背景技術)

従来より、例えばCQ出版社発行、長橋芳行著の「AD/DA変換回路の設計」において、演算増幅器の利得を設定する帰還抵抗を選択的に接続するスイッチ手段として、CMOS伝送ゲート回路を用いたものが公知である。

CMOS伝送ゲート回路は、nチャンネルMOSFETで構成された伝送ゲートMOSFETとpチャンネルMOSFETで構成された伝送ゲートMOSFETとを並列形態に接続して、両MOSFETを同時にオン/オフ状態となるように制御するものである。

このようなCMOS回路を用いて中間レベルを伝達するものとする、ウェル領域に、ソース電極に印加されている電圧と異なった電圧が印加されるために、そのMOSFETのしきい値電圧が他のMOSFETのしきい値電圧よりも高くなるという公知の基板効果(サブストレート効果)が

特開昭59-186411(2)

生じてそのコンダクタンス特性が小さくなるか又はオン状態にならないという問題が生じる。したがって、上記コンダクタンス特性の悪化を補償するためにそのサイズを大きく設定したり、動作電圧範囲が制限されるという欠点が生じる。

(発明の目的)

この発明の目的は、動作電圧マージンの拡大を図った可変利得増幅回路を提供することにある。

この発明の他の目的は、チップサイズの小型化を図った可変利得増幅回路を提供することにある。

この発明の前記ならびにその他の目的と新規な特徴は、この明細書の記述および添付図面から明らかになるであろう。

(発明の概要)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、利得設定のための帰還抵抗を選択的に接続するスイッチ手段として、それぞれウェル領域に形成され、直列形態とされるとともにそのソースとウェル領域とを共通接続し、ゲートに共通

に制御信号を印加した2つの伝送ゲートMOSFETを用いることによって、基板効果の影響を受けないスイッチ動作を実現するものである。

以下、本発明を実施例とともに詳細に説明する。

(実施例1)

第1図には、この発明の一実施例の回路図が示されている。

この実施例の各回路素子は、特に制限されないが、公知のCMOS集積回路の製造技術によって1個のシリコンのような半導体基板上において形成される。

演算増幅器OPは、公知の差動MOSFET等を含む差動増幅回路によって構成される。特に制限されないが、この演算増幅器OPの非反転入力端子(+)は、回路の接地電位に接続される。また、反転入力端子(-)には、入力抵抗R1を通して入力信号が印加される。特に制限されないが、上記反転入力端子(-)と出力端子との間には利得設定のための帰還抵抗を選択的に接続する次の回路素子が設けられる。すなわち、上記演算増幅

器OPの出力端子にその一端が接続された直列抵抗R1ないしR4が設けられる。これらの抵抗回路の各接続点と上記演算増幅器OPの反転入力端子(-)との間に、直列形態の2つの伝送ゲートMOSFETQ1、Q2ないし伝送ゲートMOSFETQ7、Q8がそれぞれ設けられる。

特に制限されないが、これらの直列形態のMOSFETQ1、Q2ないしMOSFETQ7、Q8は、第2図の構造断面図に代表として示されているMOSFETQ1、Q2のように、P型ウェル領域W1、W2にそれぞれ形成される。上記ウェル領域W1、W2内に形成されたP+領域CC1、CC2は、オーミック接触領域であり、それぞれソース領域S1、S2と接続される。ドレイン領域D1、D2は共通に接続される。そして、ゲート電極には共通に制御信号C1が印加されるものである。

この実施例回路の動作を次に説明する。

いま、MOSFETQ1、Q2のみをオン状態とすると、演算増幅器OPの反転入力端子(-)

と出力端子との間に帰還抵抗R1が接続されることになるので、その利得Gは次式(1)より求められる。

$$G = R_i / R_1 \quad \dots \dots \dots (1)$$

以下、同様にして、MOSFETQ3、Q4ないしMOSFETQ7、Q8をそれぞれオン状態とすると、利得Gは次式(2)~(4)のようになる。

$$G = R_i / R_1 + R_2 \quad \dots \dots \dots (2)$$

$$G = R_i / R_1 + R_2 + R_3 \quad \dots \dots \dots (3)$$

$$G = R_i / R_1 + R_2 + R_3 + R_4 \quad \dots \dots \dots (4)$$

上述のようなMOSFETのスイッチ動作において、この実施例では、第2図に示すようにソースとウェル領域とが共通化されているので、その基板効果によってMOSFETQ1、Q2のしきい値電圧が影響を受けない。また、そのオフ状態において、ソース側の電位に従ってウェル領域の電位が直ちに決まるので、ウェル領域の寄生容量に不所望のチャージが蓄積されることもなく、サイリスタ現象によるラッチアップが生じない。

(実施例2)

特開昭59-186411(3)

第2図には、この発明をD/A変換器に適用した場合の一実施例の回路図が示されている。

このD/A変換方式は、直列スイッチによるアンプ・ゲイン可変方式と呼ばれるものであり、2進の重み付けされた抵抗 R ないし $R/8$ を演算増幅器OPの反転入力端子(-)と出力端子との間に直列接続して、各抵抗 R ないし $R/8$ をそれぞれ短絡するスイッチ手段として、上記第1図と同様な直列MOSFET Q_1 、 Q_2 ないしMOSFET Q_7 、 Q_8 をそれぞれ設けるものである。

そして、これらのMOSFET Q_1 、 Q_2 ないし Q_7 、 Q_8 のゲートには、2進の信号 D_0 ないし D_3 を印加するものである。この実施例では、上記2進信号 D_0 ないし D_3 に従ってその漏選抵抗値が設定されるので、16通りのD/A変換された出力電圧 V_{out} が得られる。

〔効果〕

(1)そのソースとウェル領域とを接続した2つの伝送ゲートMOSFETを直列形態とするものである。そのしきい値電圧に基板効果の影響を受

けることがなく、設計条件に従ったスイッチ動作を行うことができるという効果が得られる。

(2)上記(1)により、しきい値電圧以上の制御信号により確実にスイッチ手段としてのMOSFETをオン状態とすることができるから電源電圧のマージンの拡大を図ることができるという効果が得られる。

(3)上記(1)により、基板効果を考慮してそのサイズを大きくする必要がないから、MOSFETのサイズを小さく形成できることによって、チップサイズの小型化を図ることができるという効果が得られる。

(4)上記(2)により、低電圧でも動作する可変利得増幅回路が得られるという効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、この発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、上記利得設定のための漏選抵抗を構成する複数の抵抗素子からなる抵抗回路の構成

は、並列形態の抵抗を選択的に短絡する等のうように種々の変形を採ることができるものである。

また、上記スイッチ手段としてのMOSFETは、pチャンネルMOSFETを用いるものであってもよい。この場合には、N型ウェル領域を用いるものとすればよく、これに応じて半導体基板はP型とすればよい。

また、演算増幅器の具体的回路構成は、何でもよい。

〔利用分野〕

この発明は、MOSFETで構成された可変利得増幅回路として広く利用できるものである。

図面の簡単な説明

第1図は、この発明の一実施例を示す回路図、

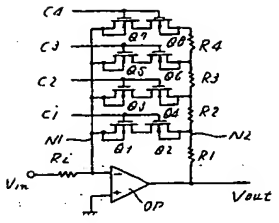
第2図は、そのスイッチ手段の一実施例を示す構造断面図、

第3図は、この発明をD/A変換器に適用した場合の一実施例を示す回路図である。

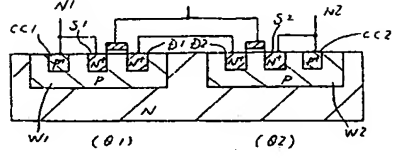
代理人弁理士 高橋 明夫



第 1 圖



第 2 圖



第 3 圖

